MAQUETTE PÉDAGOGIQUE :

Décodeur et réception de l'heure atomique France Inter

Pierre Hoffmann, Mathieu Lebegue

Département GEII de Cachan

pierre.hoffmann@u-psud.fr

mathieu.lebegue@u-psud.fr

France Inter, sur sa porteuse à 162 KHz, transmet continuellement une trame d'informations horaires provenant de l'horloge atomique de Allouis. Ces informations, une fois reçues et décodées, permettent d'afficher l'heure en temps réel.

Objectif :
Comprendre et réaliser un système permettant d'afficher l'heure atomique transmise par France Inter sur sa porteuse à 162 KHz.

Thèmes abordés :
Pour la partie numérique : génération d'horloges à différentes fréquences, réalisation de l'automate de décodage de trame, le tout en VHDL.

Pour la partie analogique : amplification, changement de fréquences, filtrage, PLL.

Sciences - Technologies - Étude et Réalisation

Comment transmettre ces informations horaires puisque le son de la radio module déjà la porteuse (en amplitude) ?

Chaque bit transmis correspond, sur la porteuse, à une rampe de phase de plus ou moins un radian (c'est-à-dire à un saut de fréquence de plus ou moins 6 KHz).

France Inter transmet toutes les secondes un bit. En fonction de la seconde (de 0 à 59) l'automate pourra déterminer la signification du bit. Par exemple, les secondes 21 à 24 concernent le codage des minutes (unité).

En mettant à part la partie son, nous nous proposons donc de réaliser un décodeur horaire France Inter dont voici le schéma synoptique (Figure 1).

Après un changement de fréquence, le signal reçu par l'antenne, une fois amplifié puis filtré, est ramené à 2 KHz. La PLL permet d'isoler les sauts de fréquences et de les transformer en une trame binaire.

La zone grisée correspond à la partie numérique. Les signaux INIT, COM, SID et DAV sont transmis à un afficheur externe qui ne nous est pas demandé de réaliser.

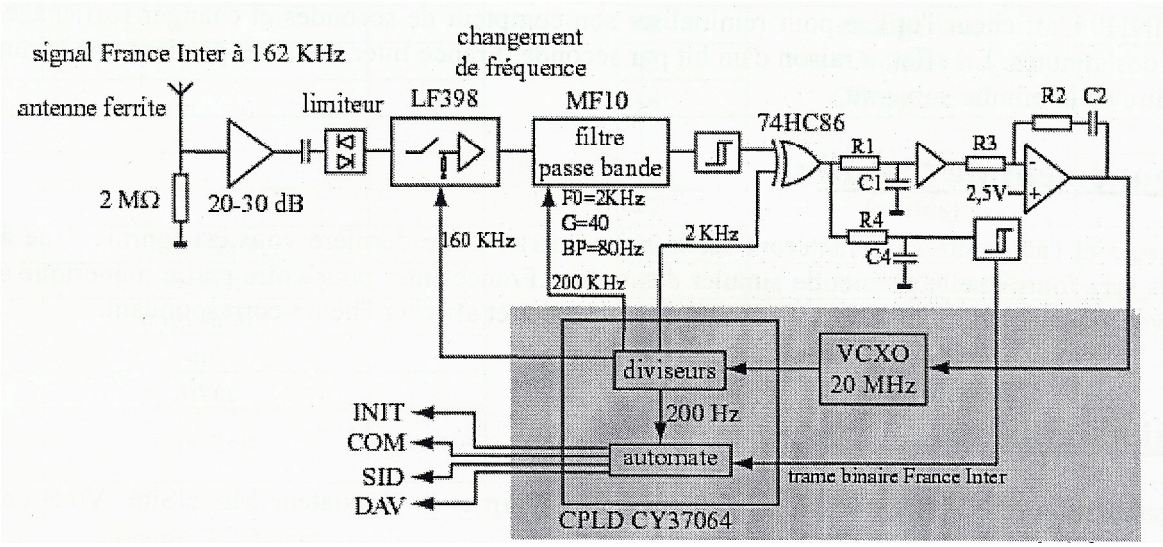

Figure 1 : Schéma synoptique du décodeur horaire France Inter

Génération des différentes horloge - VHDL -

Tout au cours du processus de traitement du signal analogique, plusieurs fréquences d'horloges sont demandées. La partie analogique demande du **200kHz, 160kHz, 2kHz et du 200Hz**.

Le problème est que l'on ne dispose pas de 4 quartz possédant chacun une fréquence particulière… Nous ne disposons que d'un VCXO à **20MHz.**

Nous allons donc synthétiser un programme en VHDL permettant de diviser successivement ce 20MHz en fréquences plus petites .

La méthode optimal retenue consiste en la création d'une seule et unique ***« Entity »*** possédant un paramètre en entrée (utilisation de la fonction « ***generic map ( )*** »). Ce paramètre d'entrée définira la fréquence voulu de sortie. De plus, il est judicieux de monter les différents compteurs en cascade, cela permet d'économiser un nombre de bascule D non négligeable.

----------Principe de division de fréquence----------

```
if compteur <  parametre/2 - 1 then     // test de la valeur du compteur interne
compteur <= compteur +  1;       //si inférieur : incrémentation du compteur

  else                                  // si supérieur au demi du paramètre
  compteur <= 0;                              //RAZ du compteur
  outclk <= not outclk;                       //inversion de la sortie
```

Automate de décodage

Une autre partie numérique de la maquette consiste en la création de l'automate de décodage de la trame France Inter. En effet, à la suite de la chaîne de traitement de signal analogique, on obtient une trame complexe (voir figure 2) et à la sortie de notre automate, on doit obtenir les quatre signaux que sont INIT, COM, SID et DAV. Ces signaux doivent être cohérents par rapport à la trame d'entrée. (voir figure 3)

Cahier des charges de l'automate :

- INIT passe à 0 durant un cycle d'horloge à la seconde 0. À 1 dans les autres cas.
- COM passe à 1 durant un cycle d'horloge à chaque secondes. À 0 dans les autres cas.
- SID possède la valeur de la trame durant la période : 100ms => 130 ms
- Lorsque DAV est à 1, l'afficheur horaire (que nous n'étudierons pas ici) recopie la valeur de SID... DAV doit donc être à 1 uniquement lorsque SID est stable (nous prendrons ici 2 périodes d'horloge).

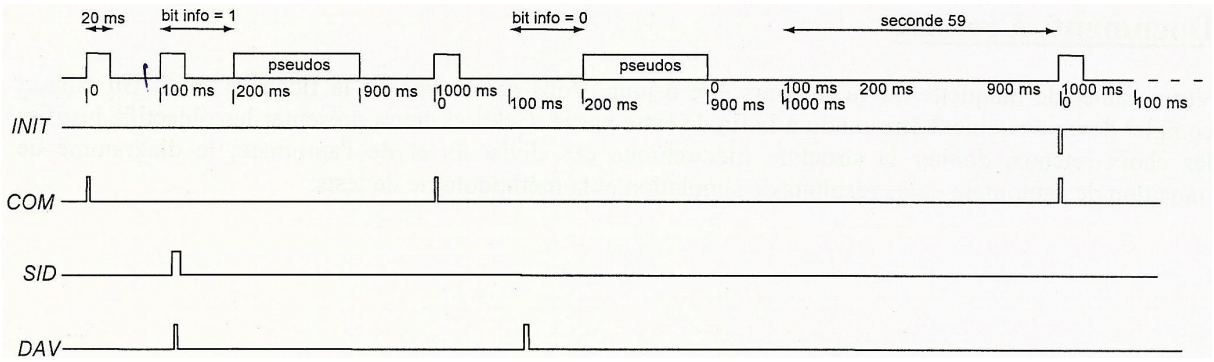

Figure 2 *: Trame France Inter après traitement analogique du signal*

Pistes pour la réalisation de l'automate

La trame France Inter évoluant dans le temps, il nous faut réaliser un compteur. En lisant la valeur du compteur, on pourra alors se repérer au niveau temporel (sur la figure 3 entity nommée : Compteur) Nous utiliserons comme horloge, le 200 Hz que le programme précédent nous fournira.

Ne pouvant pas gérer la seconde à laquelle la maquette démarrera, il est normal que le bon fonctionnement du programme ne soit pas immédiat. Il faudra attendre que le signal INIT passe à 0 pour partir sur des bases saines.

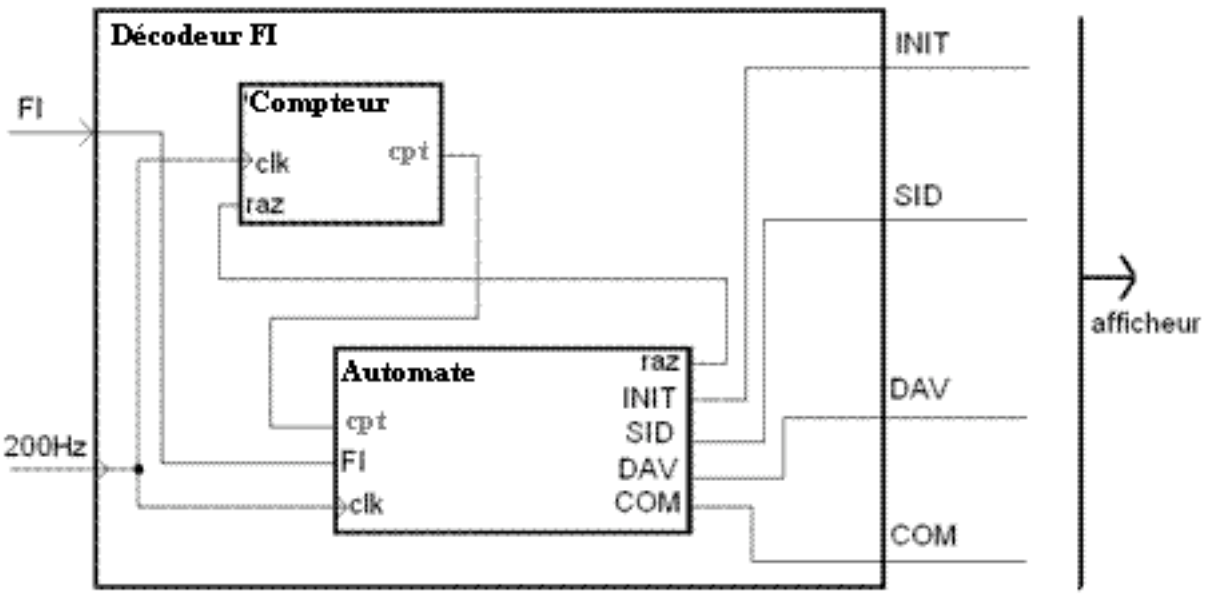

Figure 3 *: Schéma d'instanciation de l'automate en VHDL*

Pour de plus amples informations sur les méthodes de programmation, ne pas hésiter à me contacter.

Nous sommes maintenant capable de générer des signaux d'horloges aux fréquences demandées, nous allons donc nous attarder sur la partie qui utilise ces horloges, la partie analogique *(figure 1)*.

Réception du signal - Amplification

Afin de recevoir le signal, un système d'antenne/amplification doit être réalisé. En effet, la tension issue de ce type d'antenne est très faible (de l'ordre du mV). Elle est donc amplifiée afin de rendre le signal exploitable. Ce rôle peut être confié à une structure classique d'amplificateur non inverseur à AOP, l'utilisation d'un potentiomètre est judicieux.

Des informations inutiles à éliminer

Le signal reçu par l'antenne est une onde radio. La plupart des informations sont sonores et donc inutiles pour notre projet. Il nous faut les éliminer. Une bonne partie de la modulation d'amplitude sur la porteuse peut être supprimée en utilisant un montage limiteur. Il est réalisé avec des diodes Schottky BAT81. Le signal est alors écrêté.

Changer de fréquence

Il est nécessaire ensuite de faire un changement de fréquence de 162KHz à 2KHz afin de comparer le signal reçu avec celui généré par la carte VHDL. Celui-ci est confié à un MF10 utilisé en tant que filtre passe bande de type Butterworth de 2ème ordre. On utilise le logiciel Filtercad afin de calculer les valeurs des composants.

La nécessité d'un signal carré

Le signal ne contient maintenant plus que les informations qui nous intéresse. Cependant, le traitement de l'information nécessite que le signal soit carré (pour qu'il soit exploitable par la porte **ET NON** de la PLL). On utilise pour cela un comparateur à hystérisis. Si la tension d'entrée est supérieure à la tension de référence, le signal de sortie sera à +5V, sinon à 0V.

Auparavant la maquette comporte un filtre passe haut du premier ordre. Son rôle est d'éliminer la tension d'offset. Sa fréquence de coupure est donc de l'ordre de la centaine de Hertz.

La PLL

1) *Comparateur ou discriminateur de phase*

Afin de d'avoir une détection correcte du déphasage, il faut comparer le signal sortant du comparateur LM311 et le signal de 2 kHz sortant de la carte VHDL à l'aide d'une porte NON ET. Les 2 signaux doivent avoir un rapport cyclique de ½ pour pouvoir fonctionner correctement.

Cependant, ce discriminateur de phase agit comme un multiplieur et créer deux raies en fréquence (une à f = 0 Hz et l'autre à f = 4 kHz). Afin de comparer l'écart de phase entre les 2 signaux d'entrés et avoir la valeur moyenne de cet écart de phase, il faut éliminer le signal à 4 kHz. Cette tâche est confiée à un filtre passe-bas. Par ailleurs, la valeur moyenne d'un signal carré est un signal triangulaire et ce dernier peut être composé de 3 premières harmoniques. En conséquence, le filtre passe-bas a une fréquence de coupure qui permet de conserver ces 3 harmoniques. Elle est de 300Hz environ.

2) Correcteur PI

Le correcteur PI a pour but d'éliminer les sauts de phase pour ne conserver que l'erreur moyenne autour de 2 kHz et ce afin de commander le VCXO. Ce dernier, qui fournit une fréquence à partir d'une tension a, en entrée, un signal continu.

Pour boucler la boucle, la sortie du correcteur PI est reliée à la borne d'entrée du VCXO de la carte VHDL.

Un signal prêt à être décodé

Pour obtenir la trame binaire de France Inter, il est nécessaire de mettre en forme le signal en sortie du comparateur de boucle. Pour cela, il est injecté dans un filtre de boucle différent du précédent dont la fréquence de coupure de l'ordre de 40 Hz (10 fois plus petite que la précédente).

Ce filtre ne récupère que la valeur moyenne du signal que l'on injecte ensuite dans un comparateur à hystérésis. On centre alors sa fenêtre d'hystérésis autour de +2,5V ce qui nous permet d'achever le traitement du signal permetant de décoder l'horloge France Inter.

Il ne reste plus maintenant qu'a connecter le signal mis en forme à l'automate afficheur ce qui nous permettra d'afficher l'horaire atomique.